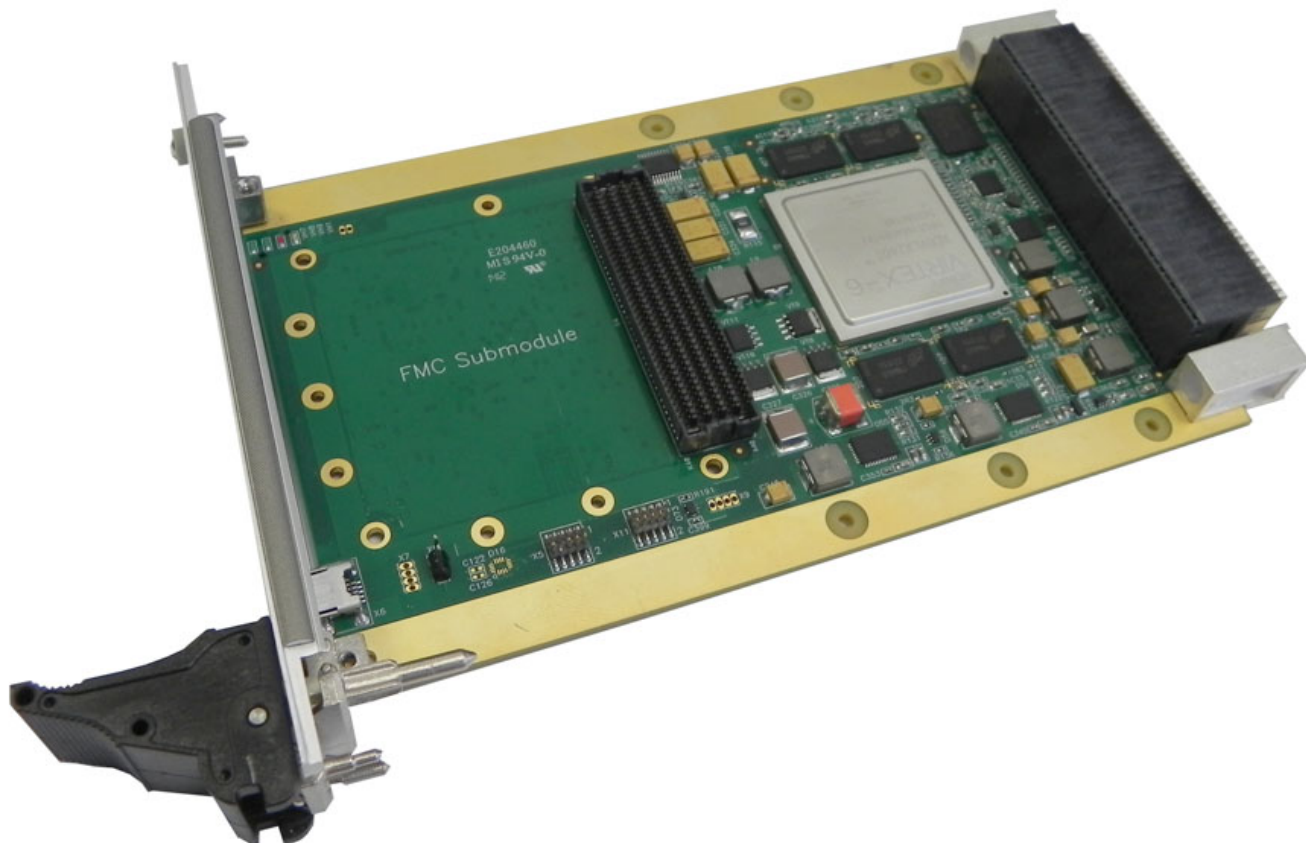


# SVP-713

Модуль цифровой обработки данных на базе FPGA  
с поддержкой FMC форм-фактора VPX 3U



## Основные особенности

- Высокопроизводительная FPGA Xilinx Virtex-6 семейства LXT/SXT с поддержкой кристаллов вплоть до VSX475
- Четыре независимых 16-ти разрядных банка памяти DDR3 общим объемом 2 Гбайта
- Модуль форм-фактора VPX 3U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение), ANSI/VITA 46.3-2012, ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013, ANSI/VITA 57.1-2010 и ANSI/VITA 65-2010 (R2012)
- Установка субмодуля FMC в соответствии со стандартом ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard с поддержкой HPC интерфейса, включая 8 дуплексных линий GTX
- Поддержка системных интерфейсов: PCI Express, Gigabit Ethernet, Serial RapidIO 2.1 x4

## Обзор модуля

### Особенности

Модуль SVP-713 разработан на базе высокопроизводительной серии FPGA Xilinx Virtex-6 и сочетает в себе широкие интерфейсные возможности и большой объём встроенной скоростной памяти. Реализованная поддержка установки субмодуля FMC стандарта ANSI/VITA 57.1-2010 позволяет гибко организовать ввод/вывод необходимых пользователю сигналов, включая аналоговые (с использованием субмодулей АЦП/ЦАП), оптические и цифровые.

Модуль SVP-713 предназначен для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д. Так, пиковая производительность обработки операций на целочисленных операциях умножить-аккумулировать достигает 1200 млрд./с, а суммарная производительность обмена с памятью DDR3 составляет свыше 6 Гбайт/с (четыре 16-ти рядных банка по 4 Гбита).

### Высокая производительность

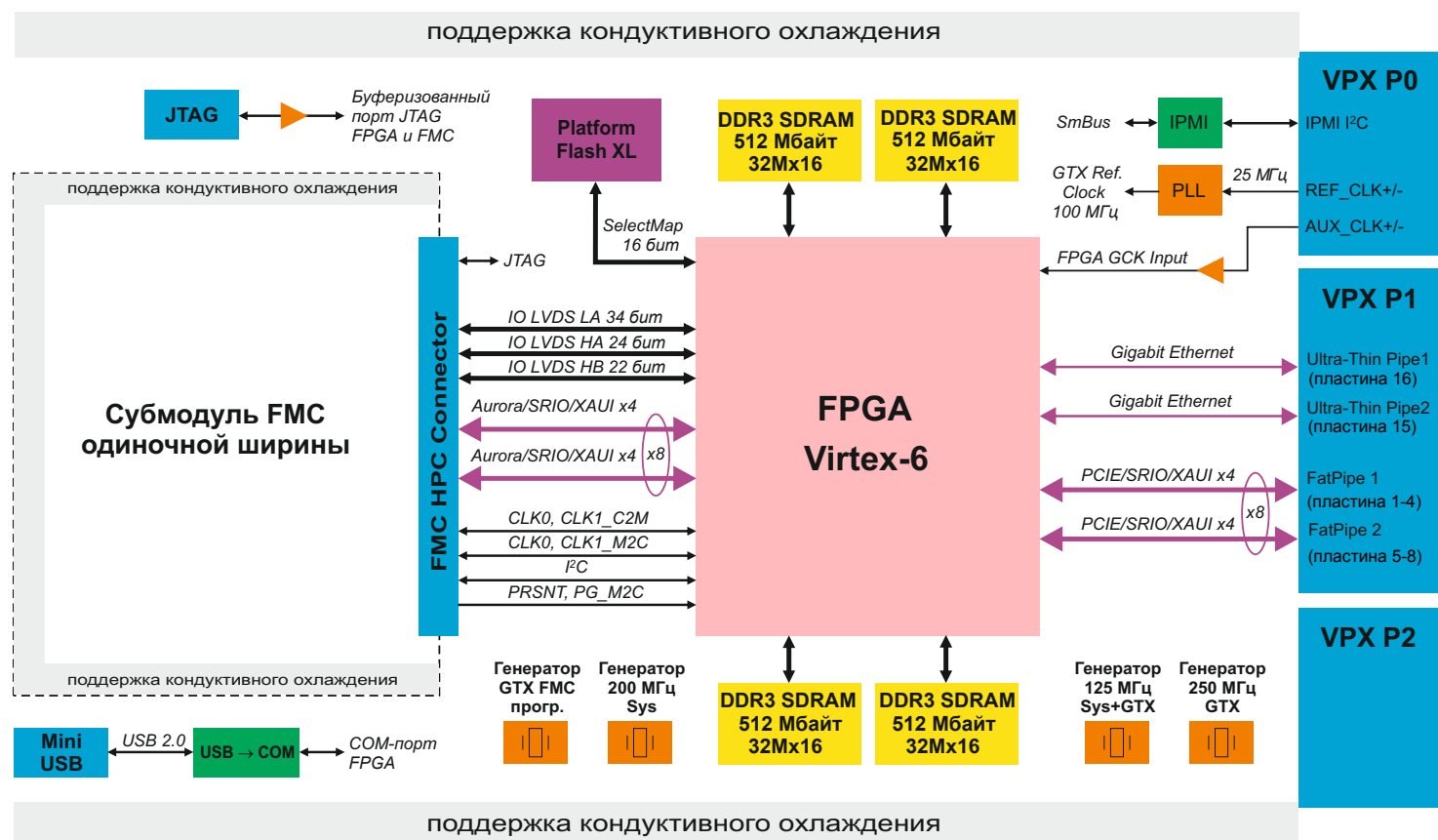
Наряду с высокой производительностью модуль предоставляет широкие возможности в части организации системного интерфейса, так, при суммарной пропускной способности модуля через объединительную плату свыше 25 Гбит/с (десять приемопередатчиков GTX) поддерживается ряд стандартов: PCI Express, Serial RapidIO, Gigabit Ethernet, которые в зависимости от используемых коммутаторов и объединительных панелей могут сочетаться между собой в различных комбинациях.

Пропускная способность интерфейса модуля с субмодулем FMC достигает 80 Гбит/с через шины LVDS и 52 Гбит/с на приём/передачу через каналы GTX (8 полнодуплексных линий). Ввиду стандартизованного интерфейса FMC обеспечивается поддержка широкого ряда субмодулей FMC как производства ЗАО «Скан Инжиниринг Телеком», так и сторонних производителей.

### Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

## Функциональная блок-схема



## Технические характеристики

### Программируемая логика

FPGA Xilinx Virtex-6 семейства LXT/SXT с поддержкой кристаллов вплоть до VSX475:

- XC6VLX130T/195T/240T/365T;
- XC6VSX315T;
- особенности FPGA:
  - до 74400 ячеек Virtex-6 Slice;
  - до 2016 блоков Virtex-6 DSP48E;
  - до 1064 блоков RAM Xilinx BlockRAM по 36 кбит;
  - до 18 блоков тактирования MMCM;
  - два аппаратных ядра PCI Express 1.0/2.0 x1/x4/x8;
  - четыре аппаратных блока Ethernet MAC 1000 Мбит/с.

### Разъём FMC

Поддержка установки submodule FMC одиночной ширины (Single Width) в конструктивах:

- воздушное охлаждение (air cooled commercial);
- кондуктивное охлаждение (conduction cooled).

Стыковочная высота FMC 10 мм

Интерфейс каждого submodule FMC HPC:

- 80 пар LVDS, пропускная способность до 80 Гбит/с;
- подключение первичных и вторичных сигналов \*<sub>CC</sub> шин LA, HA, HB ко входам локального тактирования CC FPGA;
- поддержка четырех линий глобального тактирования LVDS;
- 8 дуплексных мультигигабитных пар DP0–DP7 с двусторонней пропускной способностью до 52 Гбит/с и поддержкой Xilinx Aurora / Serial RapidIO / XAUI (Xilinx GTX);
- программируемый тактовый генератор для GTX FMC;
- поддержка двух линий тактирования GTX FPGA с FMC.

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I<sup>2</sup>C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки submodule FMC

Уровень напряжения по линиям VADJ/VIO\_B\_M2C +2,5 В (по умолчанию, возможна предустановка +1,5 В/+1,8 В)

Реализация подключения VREF\_A/B\_M2C к FPGA

### Память

Четыре независимых 16-ти разрядных банка памяти DDR3-800 общим объемом 2 Гбайт

Память Platform Flash XL объемом 128 Мбит для хранения конфигурационных файлов, чтение 640 Мбит/с

### Тактирование

Опорные кварцевые генераторы с фиксированными частотами 125 МГц/100 ppm и 250 МГц/20 ppm

Два опорных кварцевых генератора 200 МГц/50 ppm, программируемых в диапазоне 10...800 МГц, шаг 0,1 Гц

Схема PLL очистки и умножения опорного тактового сигнала VPX REF\_CLK 25 МГц до 100 МГц (для GTX)

### Отладочные интерфейсы

Отладочный COM-порт, выведен на переднюю панель посредством интерфейса USB 2.0

Порт JTAG конфигурации FPGA (внутренний разъём)

### Разъёмы VPX

Разъём P0:

- сигналы тактирования GTX FPGA по линии REF\_CLK;
- сигналы тактирования AUX\_CLK ко входу GCK FPGA;
- возможность управления и обработки сигнала сброса SYSRESET# для системного управления;
- поддержка I<sup>2</sup>C по линиям SM0, SM1;
- поддержка географической адресации (GA0–GA4);
- буферизованный канал JTAG IEEE 1149.1.

Разъём P1:

- возможные реализации FatPipe 1 и 2 по LAN4 (пластины 1–4, 5–8):
  - 2 × PCI Express 1.0/2.0 x1/x4;
  - 1 × PCI Express 1.0/2.0 x8 (аппаратные ядра PCI Express Xilinx + GTX Xilinx);
  - 2 × Serial RapidIO x1/x4 до 3,125 Гбит/с (программные IP Core Xilinx + GTX Xilinx).
- 2 × Gigabit Ethernet (встроенные MAC + GTX) на Ultra-Thin Pipe1 и 2 LAN1 (пластины 15 и 16);
- обработка сигнала маскируемого сброса MaskableReset;
- подключение линии REF\_CLK\_SE ко входу GCK FPGA.

### Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.3-2012 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

### Энергопотребление

Потребляемая мощность модуля обработки данных не более 30 Вт (при полной нагрузке, без учета FMC)

Распределение потребляемой мощности по линии питания: +12 В (VS1): до 2,5 А (30 Вт)

### Условия эксплуатации

Охлаждение: воздушное или кондуктивное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (–40...+85 °C)

Температура хранения: –40...+85 °C

Влажность: 10–95 % без конденсата

Возможность нанесения влагозащитного покрытия для жестких условий

### Размеры

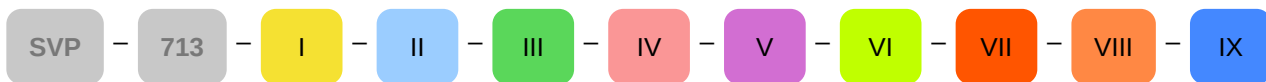
Форм-фактор: VPX 3U

Размеры: 160 × 100 × 25,06 мм

## Информация для заказа

Модуль с поддержкой submodule FMC HPC, передней планкой VPX 1" с вырезом под стандартную планку FMC. Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно. Иная градация быстродействия FPGA, а также напряжение VADJ FMC, отличное от 2,5 В и иные частоты тактовых генераторов, оговариваются при заказе модуля.

Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно.



**I** Основная FPGA Xilinx

Vertex-6

**FM130T1:** XC6VLX130T-1

**FM130T2:** XC6VLX130T-2

**FM195T1:** XC6VLX195T-1

**FM195T2:** XC6VLX195T-2

**FM240T1:** XC6VLX240T-1

**FM240T2:** XC6VLX240T-2

**FM315T1:** XC6VSX315T-1

**FM315T2:** XC6VSX315T-2

**FM365T1:** XC6VLX365T-1

**FM365T2:** XC6VLX365T-2

**II** Объем установленной памяти FPGA

**RFM4x8Mx16/800:** 512 Мбайт в четырех 16-ти разрядных банках

**RFM4x16Mx16/800:** 1 Гбайт в четырех 16-ти разрядных банках

**RFM4x32Mx16/800:** 2 Гбайта в четырех 16-ти разрядных банках

**III** Вывод интерфейса JTAG на переднюю панель

**JT0:** Внутренний разъем JTAG

**JT1:** Разъем JTAG на передней панели (не поддерживается с опцией «CL1»)

**IV** Частота опорного генератора

**QZ100.000:** Стартовая частота 100 МГц

**QZ156.250:** Стартовая частота 156,25 МГц

**V** Опорное тактирование встроенного синтезатора частоты 100 МГц

**REF0:** Тактирование от встроенного резонатора 25 МГц

**REF1:** Тактирование сигналом REF\_CLK VPX 25 МГц

**VI** Исполнение (температурный диапазон)

**T0:** Коммерческое (0...+50 °C)

**T1:** Индустриальное (-40...+85 °C)

**VII** Передняя панель

**FP2:** Установлена стандартная передняя панель FMC

**FPN:** Заказная передняя панель, тип устанавливаемого submodule оговаривается при заказе дополнительно

**VIII** Покрытие

**CV0:** Без влагозащитного покрытия

**CV1:** С влагозащитным покрытием

**IX** Охлаждение

**CL0:** Воздушное

**CL1:** Кондуктивное

Пример кода изделия: **SVP-713-FM365T2-RFM4x32Mx16/800-JT1-QZ156.250-REF1-T1-FP2-CV1-CL1**

**SVP-713** — Модуль цифровой обработки данных на базе FPGA с поддержкой FMC форм-фактора VPX 3U

Основная FPGA Xilinx: XC6VLX365T-2

Объем установленной памяти FPGA: 2 Гбайта в четырех 16-ти разрядных банках

Вывод интерфейса JTAG на переднюю панель: Разъем JTAG на передней панели (не поддерживается с опцией «CL1»)

Частота опорного генератора: Стартовая частота 156,25 МГц

Опорное тактирование встроенного синтезатора частоты 100 МГц: Тактирование сигналом REF\_CLK VPX 25 МГц

Исполнение (температурный диапазон): Индустриальное (-40...+85 °C)

Передняя панель: Установлена стандартная передняя панель FMC

Покрытие: С влагозащитным покрытием

Охлаждение: Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

## Контактная информация



ЗАО «Скан Инжиниринг Телеком»  
Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

Электронная почта:  
Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)

ООО «Скан Инжиниринг Телеком - СПб»  
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.  
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96  
[www.setdsp.ru](http://www.setdsp.ru)

Электронная почта:  
Отдел продаж: [sales.spb@setdsp.ru](mailto:sales.spb@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018  
Документ DS-SVP-713 1.1 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018