

## Введение

IP-ядро «Сервисные регистры» (IP-Core «Service Registers») предоставляет пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, определенный набор сервисных функций. Эти функции обеспечивают пользователя блоком регистров памяти с возможностью фиксации факта доступа к их содержимому, а также функции по обеспечению простоты генерации сигналов прерываний, типа MSI (Message Signaled Interrupts), в ориентированных на использование технологии PCI Express системных решениях пользователя.

## Возможности

- 28 регистров памяти по 32 бита
- Совместимость с интерфейсом AXI4
- Поддержка доступа к регистрам памяти через шину AXI4 в режиме 32 бита
- Генерация сигнал «Interrupt\_Out» при записи данных в один из 28 регистров
- Автоматическое определение номера регистра памяти, в который произведена запись данных
- Возможность маскирования появления сигнал Interrupt\_Out при записи данных в любой из 28 регистров памяти
- Трансляция сигнала от любого внешнего источника со входа «Reset\_In» на выход «Reset\_Out» с возможностью маскирования трансляции
- Возможность генерация сигнала «Reset\_Out»
- Встроенный автомат генерации MSI прерываний технологии PCI Express, предназначенный для совместной работы с IP-ядром поддержки аппаратного блока контроллера PCIe в FPGA микросхеме

## Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL
Пример проекта	Xilinx Vivado 2014.2, ISE-14.6
Тестирование	VHDL
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема IP-ядра «Сервисные регистры» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «Сервисные регистры» состоит из нескольких блоков, каждый из которых выполняет определенную самостоятельную функцию.

Блок управляемых регистров памяти «Register Unit», предназначен для предоставления в распоряжения пользователя доступа к 28-ми 32-х битным регистрам памяти, запись значений в любой из которых приводит к появлению соответствующего сигнала о записи, появляющегося на выходе «Interrupt\_Out» блока генерации прерываний «Interrupt Unit». Управление сигналом «Interrupt\_Out» осуществляется через регистры конфигурации, расположенные в блоке генерации прерываний. Регистры конфигурации позволяют маскировать появление данного сигнала при записи значений в регистры памяти. Информация о том, в каком из регистров памяти произошло изменение содержимого, отражается в регистре статуса, так же расположенном в блоке генерации прерываний.

Блок управления и генерации сигнала сброса «Reset Unit» позволяет пользователю организовывать процесс управления. прохождением сигнала сброса от любого внешнего источника,

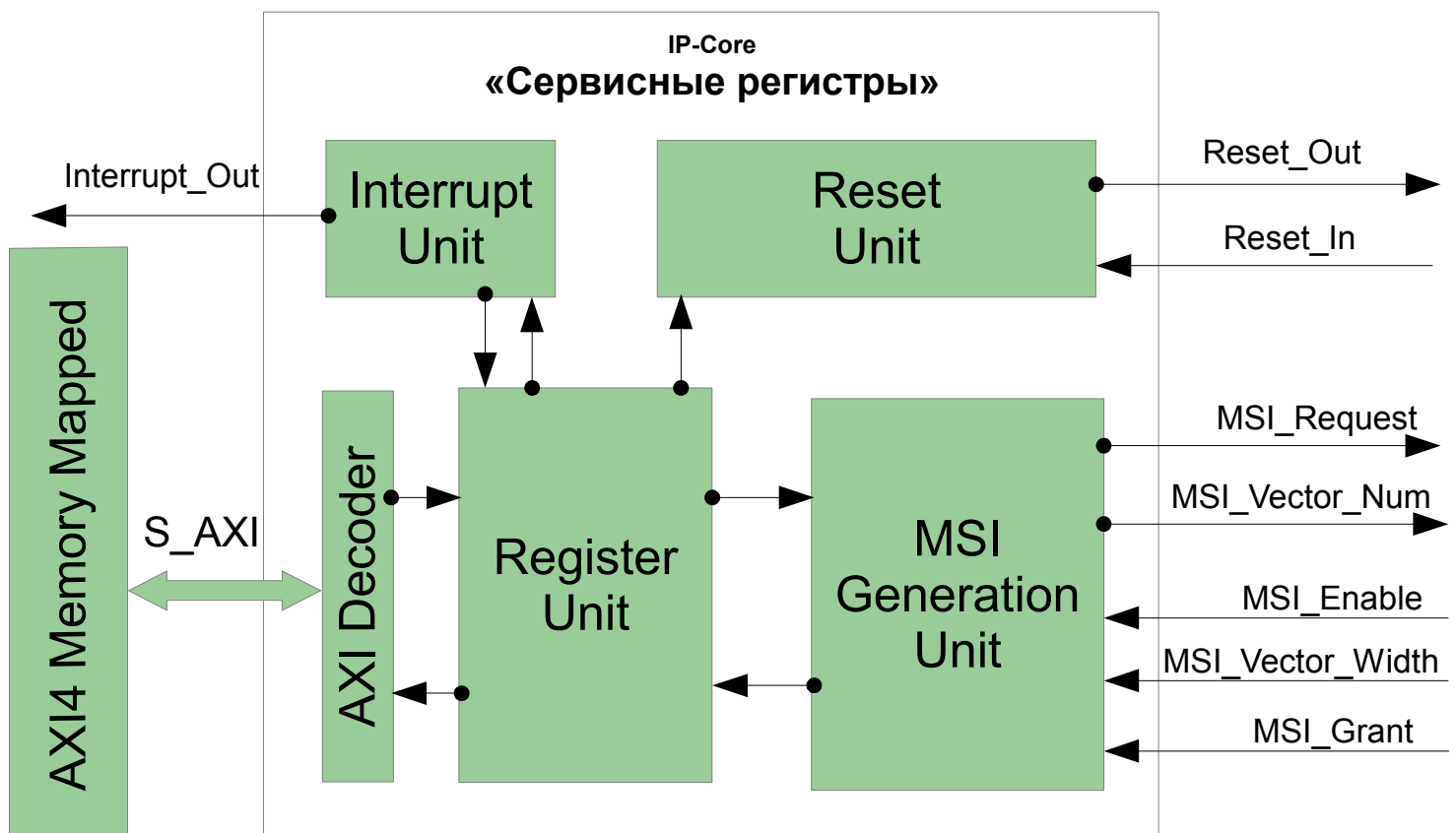
поступающего на вход «Reset\_In» и транспируемого на выход «Reset\_Out», а так же самостоятельно сгенерировать сигнал сброса на выходе «Reset\_Out» путем установки соответствующих значений в регистрах маскирования и генерации сигнала сброса.

Блок автомата генерации MSI прерываний (MSI Generation Unit) технологии PCI Express позволяет сформировать необходимые для генерации MSI прерывания сигналы, связанные с IP-ядром поддержки аппаратного блока контроллера PCIe в FPGA микросхеме. Процесс формирования MSI прерывания от устройства типа «Endpoint» к устройству типа «Root Complex» происходит в автоматическом режиме, при условии установке соответствующего значения в регистре прерываний, находящемся в блоке автомата генерации MSI прерываний IP-ядра «Сервисные регистры».

Интерфейс подключения IP-ядра «Сервисные регистры» к AXI4 структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «Сервисные регистры» можно ознакомиться в документе [1].

## Функциональная блок-схема



## Основные особенности

Применение IP-ядра «Сервисные регистры» ориентированно на работу в составе инфраструктуры IP-ядер «Поддержка PCI Express» (см. документ[2]) или в составе подобных структур пользователя, где предполагается взаимодействие с IP-ядром поддержки аппаратного блока контроллера PCIe в FPGA микросхеме и доступом к регистрам IP-ядра «Сервисные регистры» через интерфейс AXI4 Memory Mapped.

Использование IP-ядра «Сервисные регистры» удобно для организации межсистемного взаимодействия в рамках технологии PCI Express между устройством типа «Root Complex» и множеством устройств типа «Endpoint» на уровне обмена сигналами прерываний. В технологии PCI Express сигналы прерываний всегда распространяются от устройства типа «Endpoint» к устройству типа «Root Complex» в виде пакета MSI. Но, если потребуется со стороны «Root Complex» доставить сигнал прерывания микроспроцессорной системе, реализуемой в устройстве «Endpoint», то в соответствии с технологией PCI Express специального механизма для осуществления этой операции не существует. Однако, если открыть в адресном пространстве PCI Express через окна памяти, называемые BAR (Base Address Register)-ами и принадлежащими устройству «Endpoint», доступ к регистрам IP-ядра «Сервисные регистры», то запись значений в соответствующие регистры со стороны устройства «Root Complex» или других устройств «Endpoint» позволяет генерировать сигнал «Interrupt\_Out», который может являться си-

гналом прерывания для микропроцессорной системы, реализуемой в устройстве типа «Endpoint». Используя такой способ фиксации записи значения в любой из 28 регистров памяти можно организовывать эффективное межсистемное взаимодействие между микропроцессорными системами «Root Complex» и «Endpoint»-ов.

Таблица 1: Требуемые ресурсы для IP-ядра «Сервисные регистры»

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6	454	1116	1043	0
Virtex-7	514	1733	1108	0

## Ограничения

Блок автомата генерации MSI прерываний жестко определяет номер вектора прерывания.

## Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «Сервисные регистры» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. IP-ядро «Сервисные регистры». Руководство пользователя. [UG-IP-SERV-REGS](#) .
2. Инфраструктура IP-ядер «Поддержка PCI Express». Техническое описание. [DS-IP-IS-PCI-E](#) .

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-SERV-REGS 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015