

Введение

Инфраструктура IP-ядер «Подсистема submodule SFM-4A250» (Infrastructure IP-Cores «SFM-4A250 subsystem») предназначена для реализации контроллера submodule SFM-4A250, обеспечивающий начальную инициализацию, калибровку АЦП и интерфейс управления submodule, а также формирование двух потоков данных от АЦП по шинам AXI-Stream.

Возможности

- Интерфейсы шин данных: AXI-Stream
- Параметры шины данных: 4 шины по 32 бита, до 125 МГц
- Интерфейс управления: AXI4
- Инициализация submodule
- Калибровка АЦП
- Интерфейс доступа к регистрам АЦП
- Перестройка частоты сэмпирования АЦП

Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-721/726
Поддерживаемые пользовательские интерфейсы	AXI4, AXI-Stream
Ресурсы	См. таблицу 1
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.4
Поддержка программных драйверов	Драйвер Xilinx SDK для MicroBlaze
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

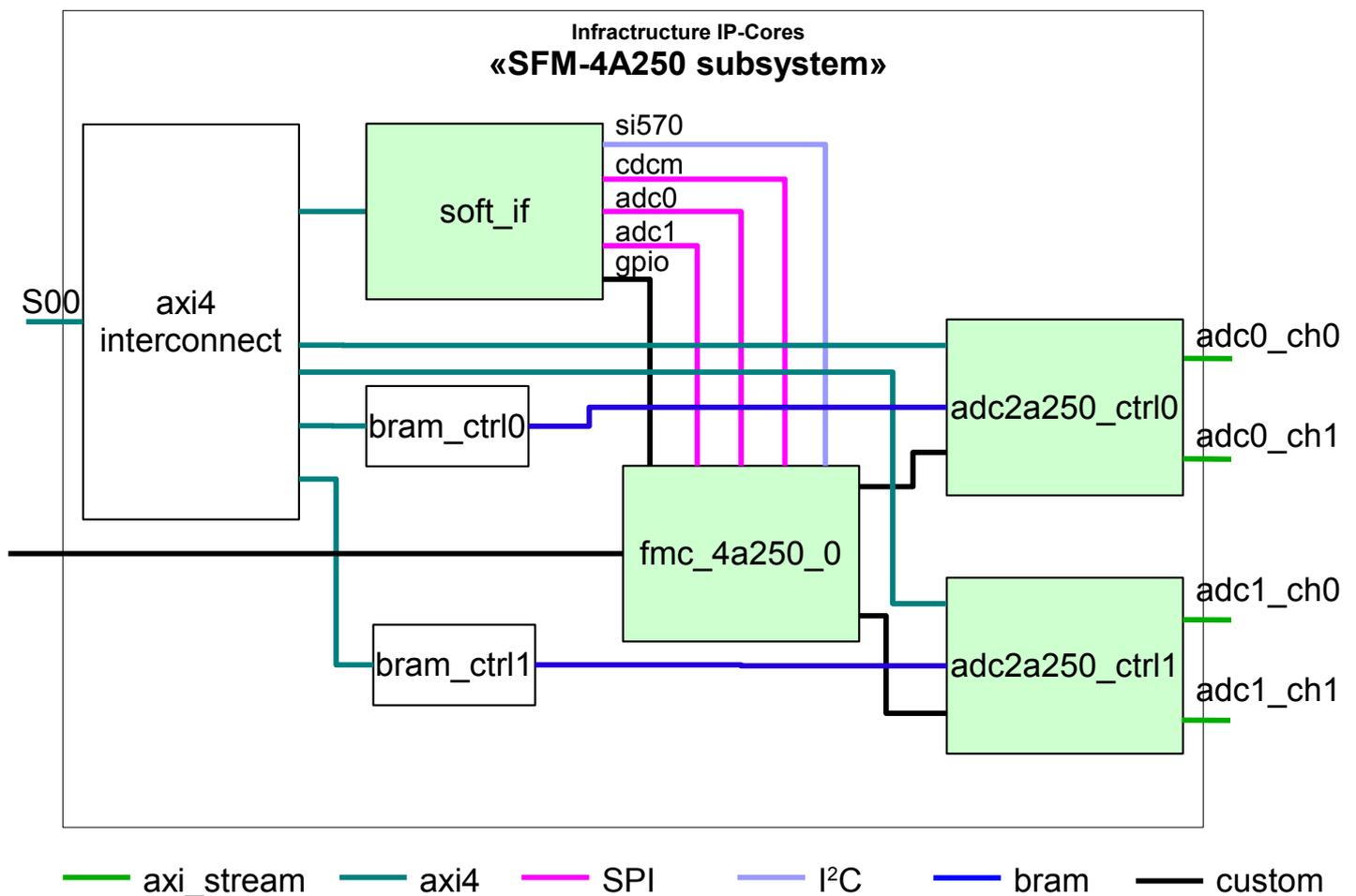
Обзор

Структурная схема инфраструктуры IP-ядер «Подсистема субмодуля SFM-4A250» представлена на изображенной ниже функциональной блок-схеме. Все компоненты инфраструктуры получают доступ к субмодулю FMC «SFM-4A250» через конвертер интерфейсов «fmc_4a250_0». Доступ ко всем компонентам инфраструктуры IP-ядер «Подсистема субмодуля SFM-4A250» из MicroBlaze производится по шине AXI4 через порт S00.

Зеленым цветом на блок-схеме выделены функциональные блоки, разработанные программистами ЗАО «Скан Инжиниринг Телеком».

Основополагающими элементами инфраструктуры IP-ядер «Подсистема субмодуля SFM-4A250» являются два контроллера АЦП: «adc250_ctrl0» и «adc250_ctrl1», предназначенных для организации калибровки АЦП и формирования потока данных от АЦП по AXI-Stream интерфейсам «adc[0-1]_ch[0-1]». Доступ к срезам потоков данных от АЦП, хранимых в bram внутри контроллеров АЦП, производится через контроллеры «bram_ctrl[0-1]». Управление компонентами на субмодуле SFM-4A250 обеспечивается с использованием контроллера «soft_if»: по I²C — генератором si570, по SPI — раздатчиком тактовых сигналов LMK01010 и двумя АЦП ADS62P4X.

Функциональная блок-схема



Основные особенности

После начальной инициализации инфраструктура IP-ядер «Подсистема submodule SFM-4A250» позволяет получать данные от АЦП в двух режимах:

- срезы фиксированного размера до 32000 отсчетов на канал;
- непрерывный поток данных по каждой из 4-х шин AXI-Stream.

Поддерживается работа одновременно в обоих режимах.

Оценочные значения необходимых ресурсов FPGA Virtex-7 для реализации тестового проекта приведены в таблице 1.

Таблица 1: Требуемые ресурсы для инфраструктуры IP-ядер «Подсистема submodule SFM-4A250»

Slices	FFs	LUTs	BRAMs	BUFRs
1515	3328	2944	58	2

Ограничения

Данные по интерфейсам AXI-Stream выдаются на внутреннем сигнале тактирования от АЦП, при этом подразумевается постоянная готовность Slave-устройства к приёму данных.

Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Подсистема submodule SFM-4A250» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-IS-SFM-4A250-SUB 1.0 (27 мая 2015 г.)