

## Введение

Инфраструктура IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» (Infrastructure IP-Cores «Support SFM-2A1000-2D1000») является структурным решением для ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», предназначенным для обеспечения поддержки процессов аналогово-цифрового и цифро-аналогово преобразования сигналов на FMC модуле SFM-2A1000-2D1000.

В процессе аналогово-цифрового преобразования, аналоговые сигналы, поступающие от их источников на входы каналов АЦП FMC модуля, преобразуются в отдельные цифровые потоки данных микросхемами АЦП ADS5400 производства Texas Instruments (TI) и переводятся в формат шины AXI4-Stream. Впоследствии, эти потоки преобразуются в формат шины AXI4 и становится возможным их перемещение в пределах инфраструктуры AXI4 Memory Mapped коммутаторов в режиме DMA.

В процессе цифро-аналогового преобразования, цифровые потоки данных, содержащие цифровое представление аналогового сигнала, перемещаемые в пределах инфраструктуры AXI4 Memory Mapped коммутаторов в режиме DMA, переводятся в потоки формат шины AXI4-Stream, и далее поступают для восстановления сигнала в аналоговом виде на выходах каналов микросхемы ЦАП DAC5681Z (TI).

В рамках инфраструктуры IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» у пользователя существует возможность самостоятельно вносить изменения в структуру, с целью интеграции собственных блоков обработки цифровых потоков данных, ориентированных на работу с потоками AXI4-Stream. Возможность вносить изменения позволяют пользователю в максимально сжатые сроки разрабатывать собственные функциональные решения, связанные с использованием FMC модуля SFM-2A1000-2D1000, и обеспечить максимальную пропускную способность, масштабируемость и надежность своего решения.

Более подробно с описанием инфраструктуры «Поддержка субмодуля SFM-2A1000-2D1000» можно ознакомиться в документе [1].

## Возможности

- Поддержка аппаратных возможностей FMC модуля SFM-2A1000-2D1000
- Использование подключения к интерфейсу AXI4 позволяет записывать/считывать данные в режиме DMA в/из блоков памяти SDRAM DDR модуля FPGA, окон памяти, связанных с контроллером PCI Express, буферов памяти контроллеров Serial RapidIO или Ethernet, а так же буферов памяти любых Master/Slave устройств шины AXI4
- Максимальная гибкость в изменении структуры проекта, с целью добавления пользовательских блоков (IP-ядер) цифровой обработки потоков данных для каналов АЦП и ЦАП, за счёт использования для связи между IP-ядрами инфраструктуры на базе AXI4-Stream
- Управление и контроль за состоянием FMC модуля SFM-2A1000-2D1000 посредством вышестоящей микропроцессорной системы, с возможностью использования механизма прерываний
- Максимальная гибкость в сокращении требуемых ресурсов для размещения в FPGA за счет группировки трактов обработки каналов

## Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	См. таблицу 1
Ресурсы	См. таблицу 2
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема инфраструктуры IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» представлена на изображенной ниже функциональной блок-схеме. В своей реализации эта схема охватывает работу с установленными на FMC модуль SFM-2A1000-2D1000 микросхемами АЦП ADS5400 (TI), ЦАП DAC5681Z (TI), CPLD XC2C64A (Xilinx), PLL CDCM7005 (TI) и синтезатором SI571 (Silicon Labs), структурами из AXI коммутаторов и отдельными группами устройств, взаимодействующими с инфраструктурой «Поддержка субмодуля SFM-2A1000-2D1000» на уровне сигнальных цепей.

В качестве структуры, к которой можно подключить инфраструктуру IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000», можно рассматривать готовую инфраструктуру «Microprocessor Based System on MicroBlaze», представленную в документе [2] или самостоятельно организовывать структуру для подключения, содержащую в себе AXI4 коммутатор или группу коммутаторов.

IP-ядро «DM контроллер» (IP-Core «DM Controller», см. документ [3]) по командам ПО вышестоящей системы управляет IP-ядром «AXI DataMover». Дополнительно, «DM контроллер» отслеживает состояние буферов FIFO, предоставляя пользователю информацию о потерях данных — проскальзываниях, в случае возникновения которых происходит сброс всей цепочки AXI4-Stream для продолжения корректной работы.

IP-ядро «AXI DataMover», подключенный в режиме Master к AXI4 коммутатору для чтения потоков данных для ЦАП из Slave устройства и записи потоков данных от АЦП в Slave устройства, конвертирует потоки из формата AXI4 Memory Mapped в формат AXI4-Stream и наоборот,

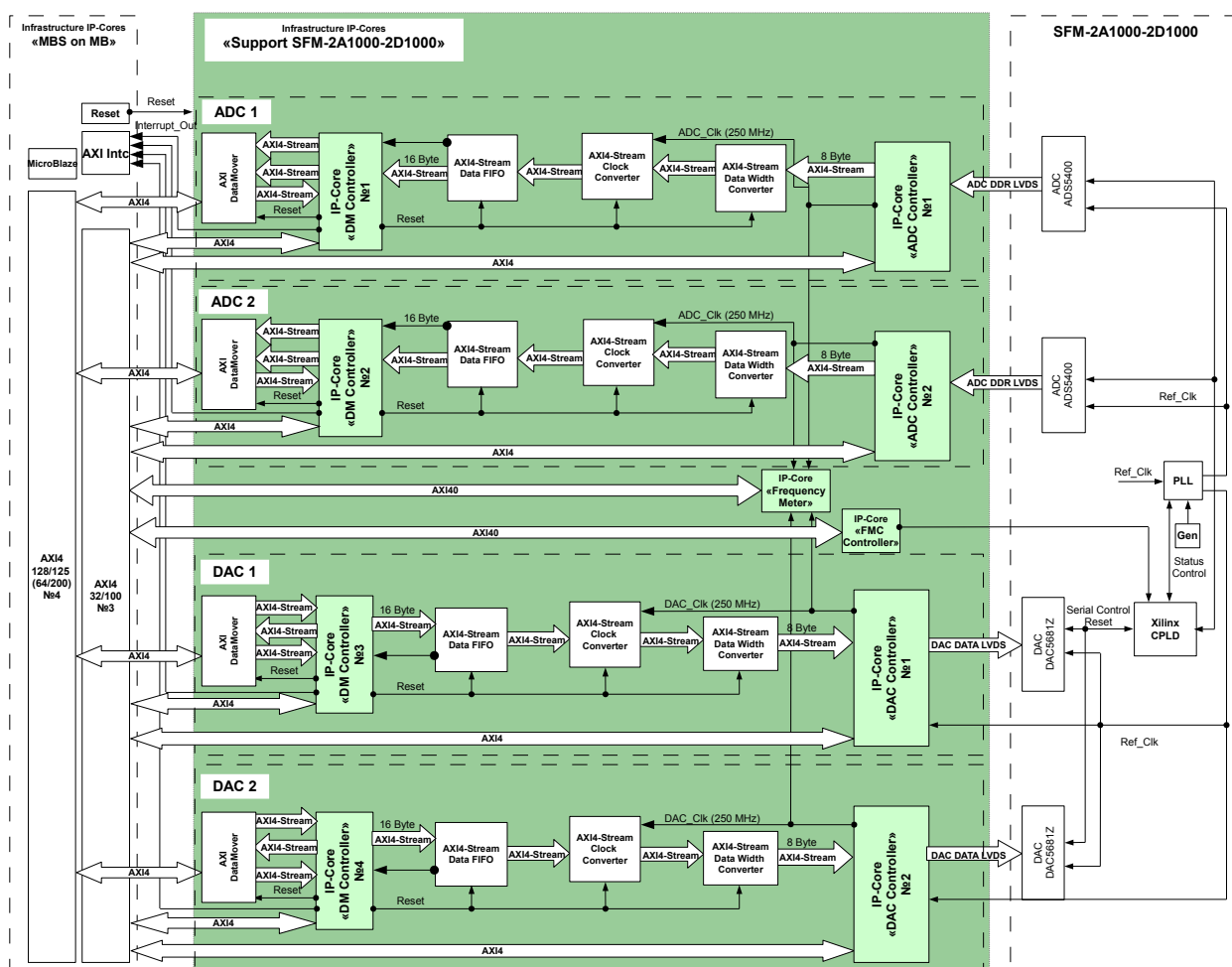
для дальнейшей их передачи в модули преобразования. В случае отсутствия необходимости передавать потоки данных для всех каналов АЦП и ЦАП одновременно возможно уменьшить количество групп IP-ядер «DM контроллер» и «AXI DataMover» с 4-х до 2-х или одного.

Для передачи данных IP-ядро «AXI DataMover» соединено с буферами IP-ядра «AXI4-Stream Data FIFO», основное назначение которых — компенсация времени реакции вышестоящей системы по управлению IP-ядром «DM контроллер» для исключения возможности потери данных.

IP-ядра «AXI4-Stream Data FIFO» работают на частоте AXI4 коммутаторов, поэтому проходящие через них данные поступают на IP-ядра «AXI4-Stream Clock Converter» с целью первого повышения для ЦАП или снижения для АЦП частоты работы тракта, для дальнейшей снижения/повышения разрядности с 16 до 8 байт с помощью IP-ядра «AXI4-Stream Data Width Converter». Предварительно выровненные по ширине и скорости данные поступают на вход IP-ядра «DAC контроллер» (IP-Core «DAC Controller», см. документ [4]) для компенсации временных задержек на физических цепях и окончательного выравнивания данных по частоте и ширине до уровня ЦАП. Аналогичную процедуру выполняет IP-ядро «ADC контроллер» (IP-Core «ADC Controller» см. документ [5]) при обратном направлении данных.

IP-ядра «FMC контроллер» (IP-Core «FMC Controller», см. документ [6]) и «Частотомер» (IP-Core «Frequency Meter», см. документ [7]) служат для управления компонентами FMC модуля и контроля абсолютных значений частот, посредством их измерения.

## Функциональная блок-схема



## Основные особенности

Инфраструктура «Поддержка субмодуля SFM-2A1000-2D1000» входит в состав готовых аппаратных платформ для ряда FPGA модулей или может использоваться в составе аппаратных платформ пользователя. Примером готовой платформы может выступить «Аппаратная платформа для FPGA модулей „Core-3“» (см. документ [8]).

Инфраструктура «Поддержка субмодуля SFM-2A1000-2D1000» позволяет пользователю максимально быстро адаптировать свои блоки цифровой обработки сигналов, с целью совместной их работы с АЦП и ЦАП модуля SFM-2A1000-2D1000, а также обеспечить гибкость реконфигурации структуры аппаратной платформы, при изменении требований к классу производительности/ресурсам используемой FPGA микросхемы. Такая адаптация и гибкость обеспечивается за счёт следующих особенностей:

- для передачи цифровых потоков данных между блоками их обработки используется только AXI4-Stream интерфейсы в минимальной конфигурации;
- максимальная параметризация всех IP-ядер инфраструктуры с целью уменьшения используемых ресурсов FPGA микросхемы;
- все необходимые настройки проекта реализации инфраструктуры (физические выводы FPGA и временные констрейны) предварительно подготовлены с учетом специфики исполнения отдельных FPGA модулей и модуля SFM-2A1000-2D1000;
- инфраструктура спроектирована с учетом обеспечения максимальной производительности, которую можно получить при использовании коммутаторов AXI4;
- инфраструктура, построенная на базе IP-ядер с интерфейсами AXI4-Stream, включает в себя все необходимые элементы для стандартных преобразований цифровых потоков данных, библиотека которых постоянно наращивается компаниями Xilinx и разработчиками ЗАО «Скан Инжиниринг Телеком».

Таблица 1: Производительность инфраструктуры IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» (кол-во передаваемых без потерь потоков данных от каналов АЦП или в ЦАП через AXI4 интерфейс)

Частота дискретизации ЦАП/АЦП, МГц	Кол-во потоков для AXI4 (64 бита/200 МГц, Max:12,8 Гбит/с)	Кол-во потоков для AXI4 (128 бит/127 МГц, Max:16,25 Гбит/с)	Скорость 1-го потока данных
250	3	4	4 Гбит/с
500	1	2	8 Гбит/с
1000	0	1	16 Гбит/с

Таблица 2: Требуемые ресурсы для инфраструктуры IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» (при размере FIFO буферов в 16 Кбайт)

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6 (AXI4 64 бита/200 МГц)	3487	11563	8600	22
Virtex-7 (AXI4 128 бит/127 МГц)	3520	11350	8750	22

## Ограничения

Чтение и запись данных из/в Slave устройства AXI4 Memory Mapped возможно только размером BURST кратным ширине шины AXI4.

## Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. Инфраструктура IP-ядер «Поддержка субмодуля SFM-2A1000-2D1000». Руководство пользователя. [UG-IP-IS-SFM-2A1000-2D1000](#).
2. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Техническое описание. [DS-IP-IS-MBS](#).
3. IP-ядро «DM контроллер». Техническое описание. [DS-IP-DM-CONT](#).
4. IP-ядро «DAC контроллер». Техническое описание. [DS-IP-DAC-CONT](#).
5. IP-ядро «ADC контроллер». Техническое описание. [DS-IP-ADC-CONT](#).
6. IP-ядро «FMC контроллер». Техническое описание. [DS-IP-FMC-CONT](#).
7. IP-ядро «Частотомер». Техническое описание. [DS-IP-FREQ-MET](#).
8. Аппаратная платформа для FPGA модулей Core-3. Руководство пользователя. [UG-FPGA-00-CORE-3](#).

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-IS-SFM-2A1000-2D1000 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015