

## Введение

IP-ядро «Частотомер» (IP-Core «Frequency Meter») предоставляет пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность измерения значений частот периодически повторяющихся сигналов, поступающих на соответствующие входы IP-ядра. IP-ядро «Частотомер» можно использовать с целью контроля абсолютных значений частот сигналов, выдаваемых управляемыми генераторами и другими компонентами, способными участвовать в синтезе и распространении периодически повторяющихся сигналов.

## Возможности

- Совместимость с интерфейсом AXI4
- Поддержка управляющей шины AXI в 32-х битном режиме
- Количество входных интерфейсов измерения частоты от 1 до 8
- Поддержка работы с дифференциальными входами FPGA
- Поддержка предварительного деления измеряемых частот с целью уменьшения временных требований к проекту
- Поддержка изменения времени измерения частоты
- Независимый вход опорной частоты
- Поддержка трансляции входных сигналов на выходы с использованием буферов различного типа: BUFG, BUFMR, BUFR и BUFR Divider

## Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Производительность	См. таблицу 1
Ресурсы	См. таблицу 2
Обеспечение ядра	
Файлы проекта	VHDL
Пример проекта	Xilinx Vivado 2014.2, ISE-14.6
Тестирование	VHDL
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема IP-ядра «Частотомер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «Частотомер» состоит из нескольких, связанных друг с другом функциональных блоков.

Блок подключения к AXI4 шине «AXI Decoder» обеспечивает взаимодействие IP-ядра «Частотомер» с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров «Register Unit».

Блок измерения времени «Timer Unit» служит для обеспечения работы с временными метками в период измерения абсолютных значений частот поступающих на вход IP-ядра периодически повторяющихся сигналов, а также позволяет формировать сигнал статуса готовности результатов измерения в виде абсолютных значений, сохраняемых в соответствующих регистрах блока регистров «Register Unit».

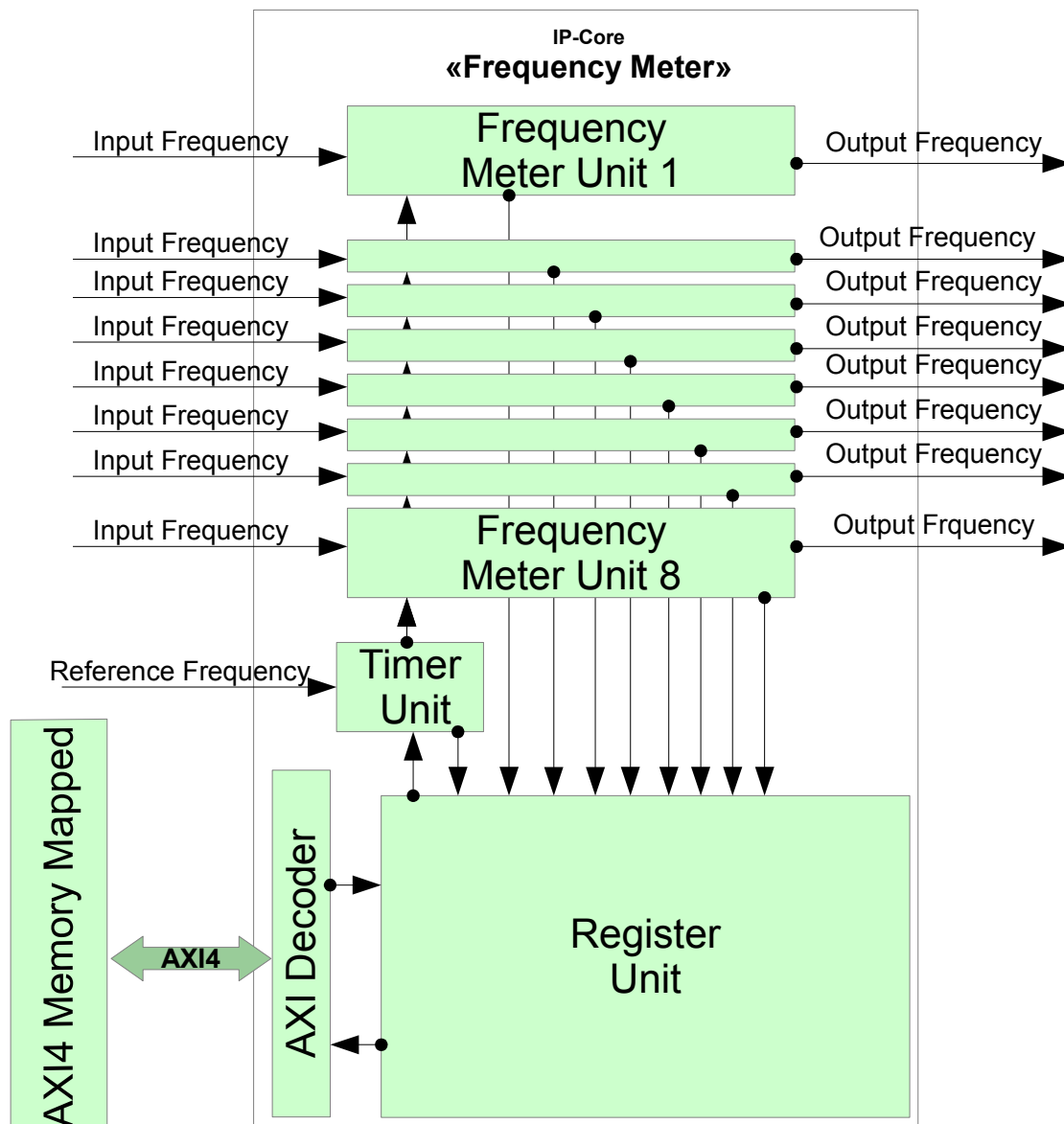
Блоки подключения, измерения и трансляции «Frequency Meter Unit N» входных, периодически повторяющихся сигналов, служат для подключения к IP-ядру измеряемых по частоте сигналов. Измерение частоты производится путём подсчёта тактов входной частоты за промежуток времени задаваемый пользователем. Подвергаемый измерениям входной сигнал может быть транслирован на выход блока подключения, измерения и трансляции.

Блок регистров «Register Unit» реализует регистры управления и статуса работы IP-ядра, а так же регистры, содержащие абсолютные значения измерений частот входящих, периодически повторяющихся сигналов.

Интерфейсы подключения IP-ядра «Частотомер» к AXI4 структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «Частотомер» можно ознакомиться в документе [1].

## Функциональная блок-схема



## Основные особенности

Применение IP-ядра «Частотомер» прежде всего ориентировано на работу с периодически повторяющимися сигналами.

IP-ядро «Частотомер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производителя ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка submodule SFM-4A250» (см. документ [2]).

К особенностям IP-ядра «Частотомер» можно отнести:

- внутренние элементы частотомера оптимизированы для полной частотной независимости большого количества тактовых сигналов подключаемых к частотомеру;
- установленные внутренние делители позволяет измерять предельные частоты для FPGA с минимальными временными требованиями для компиляции проекта;
- возможность работы с дифференциальными сигналами и трансляции тактовых частот позволяют избежать использования дополнительных элементов в проекте.

Таблица 1: Максимальные значения измеряемых частот сигналов, поступающих на входы Input Frequency IP-ядра «Частотомер»

Семейство FPGA	Индекс скорости -2	Индекс скорости -1
Virtex-6	420 МГц	300 МГц
Virtex-7	540 МГц	450 МГц

Таблица 2: Требуемые ресурсы для IP-ядра «Частотомер»

Семейство FPGA		Slices	Registers	LUTs	Block RAM
Virtex-6	1 вход	96	264	263	0
	4 входа	184	593	418	0
	8 входов	343	1025	547	0
Virtex-7	1 вход	101	278	135	0
	4 входа	189	604	200	0
	8 входов	349	1068	263	0

## Ограничения

Не поддерживаются выходные буферы типа BUFH.

## Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «Частотомер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. IP-ядро «LMK контроллер». Руководство пользователя. [UG-IP-LMK-CONT](#).
2. Инфраструктура IP-ядер «Поддержка submodule SFM-4A250». Техническое описание. [DS-IP-IS-SFM-4A250](#).

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-FREQ-MET 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015