

Введение

IP-ядро «DM контроллер» (IP-Core «DM Controller») предоставляет пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность контроля и управления работой IP-ядра AXI DataMover фирмы Xilinx. Использование IP-ядра «DM контроллер» позволяет создавать комплексные проекты на основе двух типов шин, шине адресуемых данных AXI4 и шине потоковых данных AXI4-Stream. IP-ядро «DM контроллер» совместно с AXI DataMover обеспечивают трансляцию потоков данных между AXI4 структурами с поддержкой режима отображаемой памяти и AXI4-Stream структурами, обслуживающими потоковые данные.

Возможности

- Совместимость с интерфейсами AXI4 и AXI4-Stream
- Поддержка управляющей шины AXI в 32-х битном режиме
- Передача данных в обоих направлениях: из AXI4 в AXI4-Stream, называется — MM2S; из AXI4-Stream в AXI4 — S2MM
- Ширина шины AXI4-Stream выбирается пользователем с возможными значениями: 1, 2, 4, 8, 16, 32, 64, 128, 256 или 512 байт.
- Поддержка размера непрерывной передачи для одного потока до 8 388 607 байт
- Поддержка общего размера передачи для каждого потока до 4 Гбайт
- Поддержка механизма конвейера команд IP-ядра AXI DataMover глубиной 8 уровней
- Поддержка регулировки паузы между передачами каждого потока от 0 до 2^{32} тактов
- Управление режимами работы буферов AXI4-Stream
- Статистика потерь данных в буферах AXI4-Stream (проскальзывание данных)
- Контроль состояний внутренних автоматов
- Поддержка прерываний по состояниям внутренних автоматов
- Поддержка нескольких интерфейсов AXI4-Stream интерфейсов: от 1 до 4-х для обоих направлений передачи потоков данных
- Задержка данных между AXI4-Stream Slave и AXI4-Stream Master интерфейсами — 0 тактов

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	См. таблицу 1
Ресурсы	См. таблицу 2
Обеспечение ядра	
Файлы проекта	VHDL
Пример проекта	Xilinx Vivado 2014.2, ISE-14.6
Тестирование	VHDL
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Структурная схема IP-ядра «DM контроллер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «DM контроллер» состоит из нескольких, связанных друг с другом функциональных блоков.

Блок подключения к AXI4 шине «AXI Decoder» обеспечивает взаимодействие IP-ядра «DM контроллер» с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров «Register Unit».

Блок регистров (Register Unit) реализует регистры управления и контроля работы IP-ядра.

Блок генерации прерываний «Interrupt Unit» используется для извещения, при помощи сигнала «Interrupt_Out», любой внешней, по отношению к IP-ядру, системе об окончании процесса передачи данных.

Блоки контроля потоков данных «AXI-S S2MM-Data Control Unit» и «AXI-S MM2S-Data Control Unit» служат для переключения источников потоков данных AXI4-Stream. Переключение производится автоматически, по окончании процесса передачи данных от текущего источника в AXI DataMover, и в обратную сторону, в зависимости от размера каждой однократной передачи в соответствии с заданными пользователем параметрами, такими как: размер данных для однократной передачи, пауза в тактах между передачами, список номеров задействованных для передачи потоков и полный объем передаваемых данных.

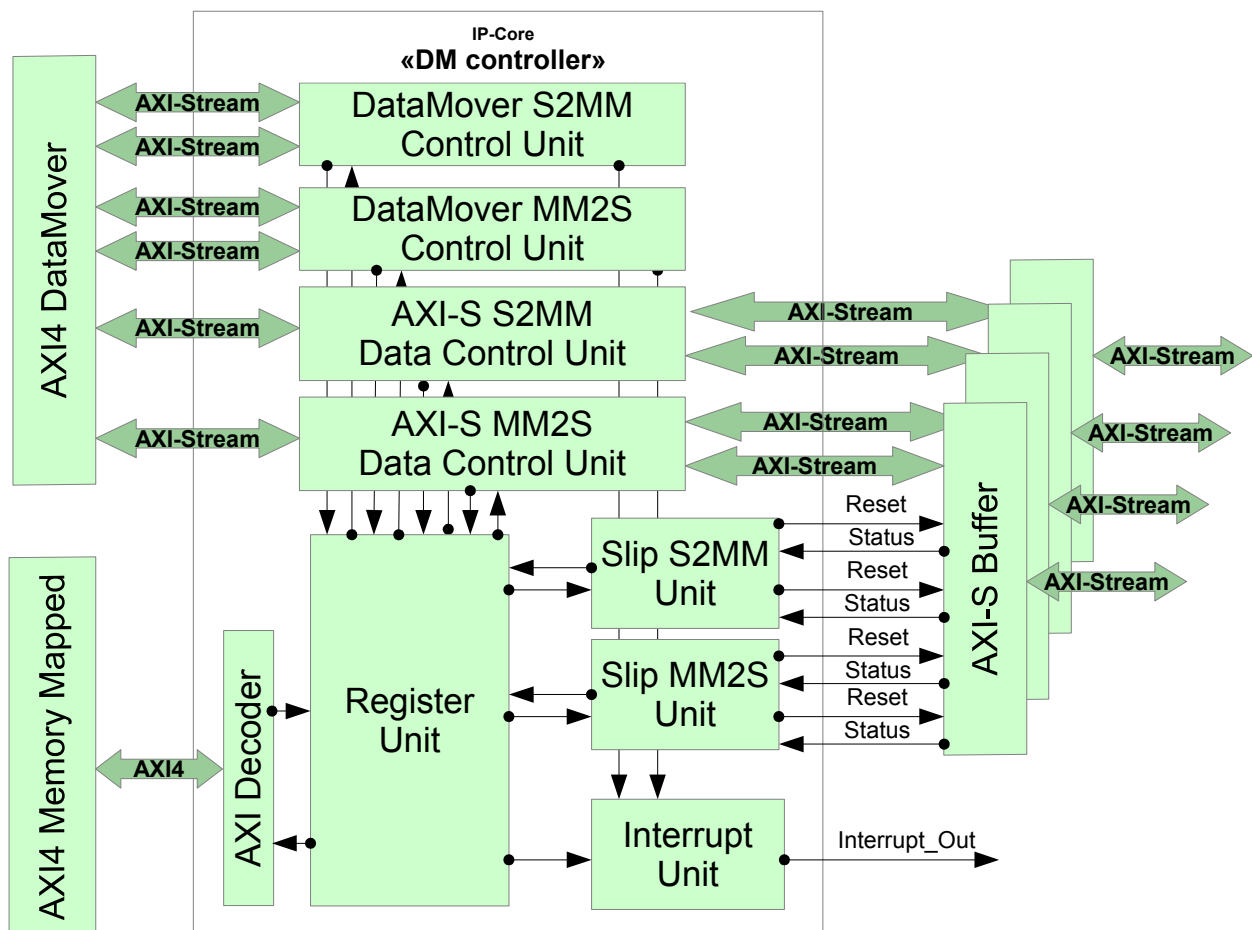
Блоки управления IP-ядра AXI DataMover «DataMover S2MM Control Unit» и «DataMover MM2S Control Unit» предназначены для управления IP-ядром AXI DataMover фирмы Xilinx, задействуя максимальные возможности по производительности данного IP-ядра. С этой целью реализован автомат формирования команд управления IP-ядром AXI DataMover в зависимости от заданных пользователем параметров (полный объем передаваемых данных, адрес буфера размещения передаваемых данных для каждого потока).

Блоки контроля за проскальзыванием данных «Slip S2MM Unit» и «Slip MM2S Unit» позволяют максимально эффективно организовать передачу потоковых данных между шинами AXI4 и AXI4-Stream. В случае превышения скорости потока данных со стороны их источников над скоростью работы шин AXI4 или AXI4-Stream, происходит фиксация этого факта в блоке контроля за проскальзыванием данных. Используя факт фиксации проскальзывания данных можно либо отрегулировать скорость генерации потока данных его источником, либо учитывать при обработке данных потока то, что в наличии факт потери части данных.

Интерфейсы подключения IP-ядра «DM контроллер» к AXI4 и AXI4-Stream структурам соответствует AMBA совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «DM контроллер» можно ознакомиться в документе [1].

Функциональная блок-схема



Основные особенности

IP-ядро «DM контроллер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производства ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка субмодуля SFM-4A250» (см. документ [2]).

Каждый из интерфейсов шин AXI4 и AXI4-Stream обладает своими достоинствами и недостатками. IP-ядро «DM контроллер» позволяет объединять их вместе, при этом создавая сбалансированные, гибкие и высокопроизводительные структуры, за счёт максимального использования преимуществ каждого из интерфейсов.

AXI4-Stream:

- автомат управления передачей данных полностью независим от автомата AXI4;
- полное отсутствие задержек между Slave и Master интерфейсами;
- переключение между Slave интерфейсами производится за 1 такт;
- гибкое управление и контроль работы буферов FIFO с возможностью регулирования их размера.

AXI4:

- автомат управления AXI DataMover полностью независим от автомата данных AXI4-Stream;
- наличие 8-ми стадийного конвейера команд позволяет максимально использовать механизмы отложенных транзакций.

Дополнительные возможности:

- независимые рабочие частоты AXI интерфейса управления и интерфейсов AXI4-Stream потоков данных;
- данные контроля состояния автоматов управления IP-ядра AXI DataMover и данных шины AXI4-Stream позволяют управлять передачей максимально эффективно.

Ссылки

1. IP-ядро «DM контроллер». Руководство пользователя. [UG-IP-DM-CONT](#) .
2. Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250». Техническое описание. [DS-IP-IS-SFM-4A250](#) .

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:

Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-DM-CONT 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015

Информация в данном документе может быть изменена ЗАО «Скан Инжиниринг Телеком» без предварительного уведомления.

Таблица 1: Производительность IP-ядра «DM контроллер»

Семейство FPGA	Класс скорости — 2	Индекс скорости — 1
Virtex-6	220 МГц	200 МГц
Virtex-7	240 МГц	220 МГц

Таблица 2: Требуемые ресурсы для IP-ядра «DM контроллер»

FPGA	AXI4-Stream		Slices	Registers	LUTs	Block RAM
	Разр- ть, байт	Кол-во, пото- ков				
Virtex-7	8	4	688	2350	1982	0
	16	2	745	2039	2366	0
Virtex-6	8	4	655	2215	1930	0
	16	2	730	1990	2225	0

Ограничения

Не поддерживаются AXI4-Stream шины с шириной не кратной степени 2.

Размеры BURST поддерживаются только кратные ширине шины AXI4-Stream.

Отсутствие внутренней буферизации данных AXI4-Stream при использовании низкоскоростных потоков может приводить к значительному непроизводительному времени занятия коммутаторов AXI4. В данном случае необходимо использовать внешние буферы AXI Data FIFO, при этом коммутатор AXI4 будет добавлять 4 такта между BURST, что приведёт к снижению полной производительности.

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «DM контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.