

Введение

IP-ядро «Ten Gigabit AXI-Stream controller» предназначено для организации межкристального взаимодействия с канальной скоростью 10 Гбит/с по протоколу AXI-Stream в пакетном режиме.

Возможности

- Совместимость с интерфейсом AXI-Stream
- Параметры шины данных: 64 бит, 156,25 МГц
- Работа в пакетном режиме AXI-Stream с максимальным размером пакета 9000 байт
- Поддержка до четырёх интерфейсов в одном Quad-е FPGA Virtex-7
- Управление/статус: через I/O сигналы
- Расширенный интерфейс управления и получения статусной информации о работе компонента
- Компонент совместим с оптическими приёмопередатчиками SFP+ 10,3 Гбит/с

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-721/726, SFM-4F10S
Поддерживаемые пользовательские интерфейсы	AXI-Stream
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2
Тестирование	VHDL, Verilog
Поддержка программных драйверов	Не осуществляется.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Структурная схема IP-ядра «Ten Gigabit AXI-Stream controller» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядра «Ten Gigabit AXI-Stream controller» состоит из трех, связанных друг с другом функциональных блоков:

- 10G pcs/pma — IP-ядро от Xilinx [1];
- xgmii↔axis converter — производит преобразование между XGMII и AXI-Stream;
- aligner — производит удаление преамбул и выполняет выравнивание данных.

IP-ядро «Ten Gigabit AXI-Stream controller» поддерживает два основных режима работы: «Single/Master» и «Slave». Режим «Single/Master» предназначен для построения системы с независимым интерфейсом «10 Gigabit AXI-Stream» или для работы в режиме «Master», а режим «Slave» — для совместной работы нескольких компонентов под управлением Master-компонента в одном Quad-e FPGA Virtex-7 с ним.

Интерфейс «Single/Master» компонента IP-ядра «Ten Gigabit AXI-Stream controller» во всех режимах содержит:

- интерфейс данных AXIS_TX/AXIS_RX;
- интерфейс от трансиверов к выводам FPGA — xphy;
- вход тактирования шины AXIS — «ACLK»;
- сигнал сброса «sys_rst»;
- статусные сигналы от внешнего приёмопередатчика «signal_detect» и «tx_fault».

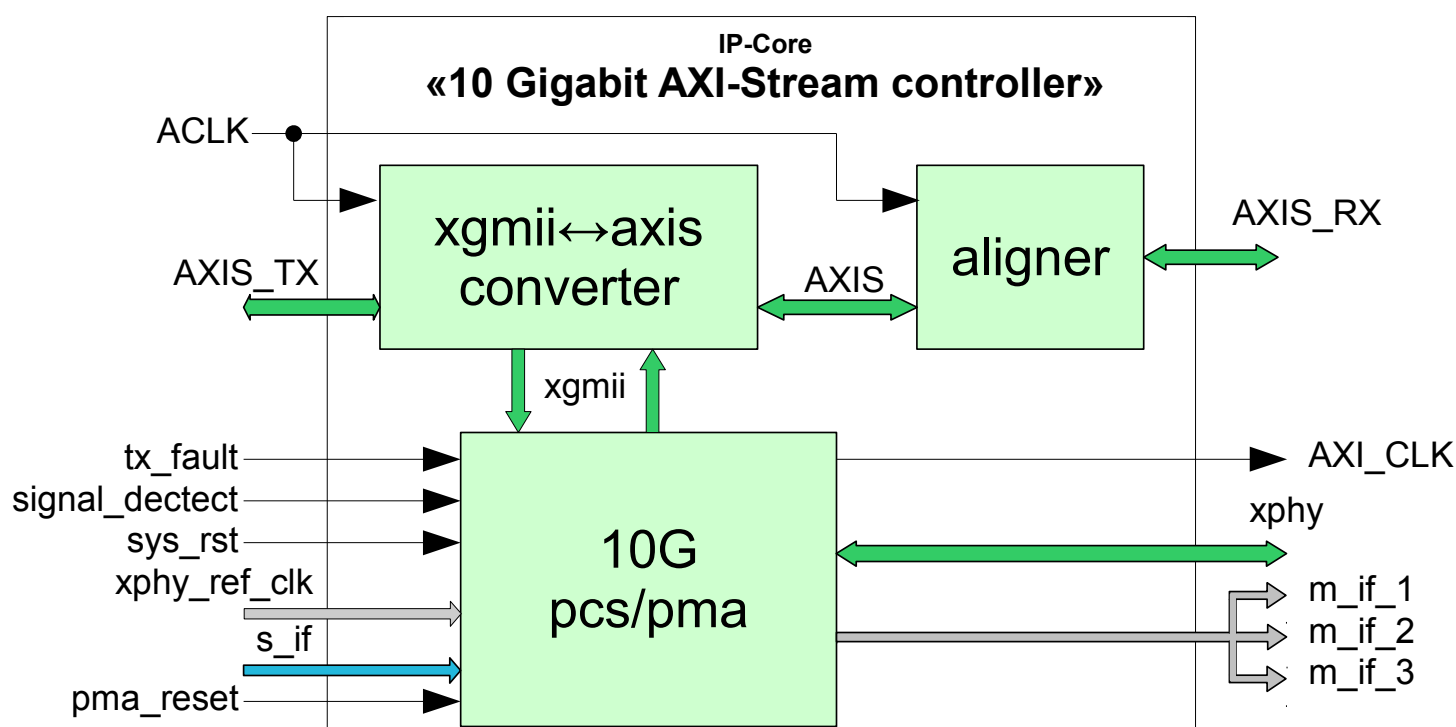
Интерфейс «Single/Master» компонента IP-ядра «Ten Gigabit AXI-Stream controller» дополнительно содержит:

- вход тактирования ядра и трансиверов «xphy_ref_clk»;
- сигнал сброса подсистемы «pma» — «pma_reset»;
- выходной сигнал тактирования шины AXIS;
- три управляющих интерфейса к «Slave» компонентам в том же Quad-e FPGA «m_if_[1–3]».

Интерфейс «Slave» компонента IP-ядра «Ten Gigabit AXI-Stream controller» в дополнение к общим интерфейсным сигналам содержит управляющий вход от компонента «Master» — «s_if».

На схеме связи «s_if» присутствуют только в «Slave» режиме, а связи «m_if_1»–«m_if_3» только в «Single/Master» режиме.

Функциональная блок-схема



Основные особенности

Параметры:

- ADVANCED (false/true) — включение в интерфейс дополнительных статусных выходов;
- ADVANCED_CTRL (false/true) — включение в интерфейс дополнительных управляющих входов;
- MASTER (true/false) — выбор режима работы «Single/Master» или «Slave».

Таблица 1: Требуемые ресурсы для IP-ядра «Ten Gigabit AXI-Stream controller»

Режим	Slices	FF	LUTs	IBUFDS_GTE2	BUFGCTRL	BUFHCE
Single/Master	1102	2506	2826	1	2	1
Slave	1085	2478	2812	0	2	1

Ограничения

Средняя пауза между пакетами AXI-Stream не должна быть меньше 12 байт.

Тактовый вход «ACLK» предназначен для подключения только сигнала «AXI_CLK» от компонента «Master». Для асинхронного подключения рекомендуется использовать FIFO Generator.

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «Ten Gigabit AXI-Stream controller» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Ссылки

1. LogiCORE IP 10-Gigabit Ethernet PCS/PMA v4.0. Product Guide. PG068.
URL: http://www.xilinx.com/support/documentation/ip_documentation/ten_gig_eth_pcs_pma/v4_0/pg068-ten-gig-eth-pcs-pma.pdf.

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-10G-AXI-CONT 1.0 (27 мая 2015 г.)